

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06473264 **Image available**

SEMICONDUCTOR DEVICE PROVIDED WITH SEMICONDUCTOR CIRCUIT
COMPOSED OF SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

PUB. NO.: 2000-058839 [JP 2000058839 A]

PUBLISHED: February 25, 2000 (20000225)

INVENTOR(s): YAMAZAKI SHUNPEI

ADACHI HIROKI

KUWABARA HIDEAKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 10-221986 [JP 98221986]

FILED: August 05, 1998 (19980805)

INTL CLASS: H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To obtain a semiconductor device provided with a semiconductor circuit composed of semiconductor elements which enhances TFT characteristics and has uniform characteristics, by a method wherein an interface between a region constituting an active layer, in particular a channel formation region, and a gate insulated film is formed superiorly, and its manufacture.

SOLUTION: A catalytic element promoting a crystallization is annexed on a substrate 100 or an underlayer film 10, and an early semiconductor film is continuously formed on a first gate insulated film 102a, and next, after the early semiconductor film is crystallized by irradiation of infrared beams or ultraviolet beams (laser beams) via the first gate insulated film 102a, it is patterned to obtain an active layer and the first gate insulated film 102a having a desirable shape. Then, a second gate insulated film 102c is formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-58839

(P 2 0 0 0 - 5 8 8 3 9 A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-コ-ト (参考)	
H01L 29/786		H01L 29/78	617	U
21/336			616	V
			617	L
			627	G

審査請求 未請求 請求項の数20 O L (全17頁)

(21) 出願番号 特願平10-221986

(22) 出願日 平成10年8月5日 (1998.8.5)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 安達 広樹

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

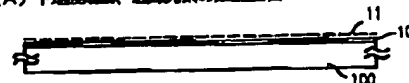
(54) 【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

(57) 【要約】

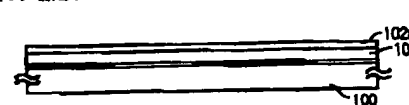
【課題】 本発明は、活性層、特にチャネル形成領域を構成する領域とゲート絶縁膜との界面を良好なものとするることにより、TFTの特性を向上させるとともに均一な特性を有する半導体素子からなる半導体回路を備えた半導体装置およびその作製方法を提供するものである。

【解決手段】 上記目的を解決するため、本発明は基板または下地膜上に結晶化を助長する触媒元素を添加し、初期半導体膜と第1のゲート絶縁膜を連続的に形成し、次いで第1のゲート絶縁膜を介して赤外光または紫外光（レーザー光）の照射による初期半導体膜の結晶化を行った後、パターニングを行ない所望の形状を有する活性層および第1のゲート絶縁膜を得た後、第2のゲート絶縁膜を形成する。

(A) 下地膜形成、触媒元素の添加工程



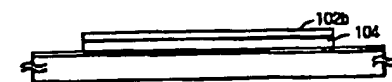
(B) 初期半導体膜101、第1の絶縁膜102aの連続形成工程



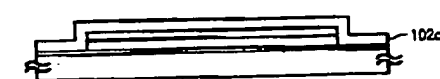
(C) 初期半導体膜101のレーザー結晶化工程



(D) パターニング工程



(E) 第2の絶縁膜102cの形成工程



(2)

特開 2000-58839

1

【特許請求の範囲】

【請求項 1】絶縁性を有する表面上に結晶性半導体膜からなる活性層と、前記活性層の上面に接する第 1 の絶縁膜と、前記活性層の側面に接し、且つ前記第 1 の絶縁膜の上面及び側面に接する第 2 の絶縁膜と、前記第 2 の絶縁膜上に接する多層構造を有するゲート配線とを有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 2】絶縁性を有する表面上に結晶性半導体膜からなる活性層と、前記活性層の上面に接する第 1 の絶縁膜と、前記活性層の側面に接し、且つ前記第 1 の絶縁膜の上面及び側面に接する第 2 の絶縁膜と、前記第 2 の絶縁膜上に接する多層構造を有するゲート配線とを有し、前記第 2 の絶縁膜は、前記第 1 の絶縁膜と比較して膜厚が厚いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 3】請求項 1 または請求項 2 において、前記結晶性半導体膜は、初期半導体膜に結晶化を助長する触媒元素を添加する工程と、前記第 1 の絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を溶融させることなく結晶化する工程とを少なくとも経て形成された結晶性半導体膜であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 4】請求項 3 において、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Au、Ge から選ばれた少なくとも 1 つの元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 5】請求項 3 または請求項 4 において、前記初期半導体膜は、非晶質を有する半導体膜、または微結晶を有する半導体膜であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 6】請求項 1 乃至 5 のいずれか一において、前記第 1 の絶縁膜と前記活性層との界面における不純物濃度は、第 1 の絶縁膜と第 2 の絶縁膜との界面における不純物濃度よりも低いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 7】請求項 1 乃至 6 のいずれか一において、前記多層構造を有するゲート配線は、アルミニウム、タンタル、モリブデン、チタン、クロム、シリコンから選ばれた一種の元素を主成分とする層を少なくとも一層含むことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 8】請求項 1 乃至 7 のいずれか一において、前記ゲート配線は第 1 の導電膜上に、第 2 の導電膜が積層された多層構造を有しており、前記第 1 の導電膜は、タンタルまたはタンタルを主成分とする材料からなり、前記第 2 の導電膜は、アルミニウムまたはアルミニウムを主成分とする材料からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 9】請求項 1 乃至 8 のいずれか一において、前

2

記第 1 の絶縁膜の膜厚は、1~50 nmであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 10】請求項 1 乃至 9 のいずれか一において、前記第 2 の絶縁膜の膜厚は、100~200 nmであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 11】請求項 1 乃至 10 のいずれか一において、前記活性層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されたチャネル形成領域とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 12】請求項 11 において、前記ソース領域およびドレイン領域の少なくとも一部は、シリサイドであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 13】請求項 11 または請求項 12 において、前記ソース領域およびドレイン領域には、N型の導電型を付与する不純物が添加されていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 14】請求項 11 乃至 13 のいずれか一において、前記ソース領域およびドレイン領域には、N型の導電型を付与する不純物およびP型の導電型を付与する不純物が添加されていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 15】請求項 11 乃至 14 のいずれか一において、前記チャネル形成領域は、結晶化を助長する触媒元素を含有し、前記触媒元素の濃度は、チャネル形成領域よりもソース領域およびドレイン領域のほうが高いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 16】絶縁表面を有する下地膜の少なくとも一部に結晶化を助長する触媒元素を接する工程と、前記下地膜上に初期半導体膜と第 1 の絶縁膜とを連続的に形成する工程と、前記第 1 の絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を得る工程と、前記結晶性半導体膜及び前記第 1 の絶縁膜をパターニングして、前記初期半導体膜の端面と前記第 1 の絶縁膜の端面を一致させる工程と、前記活性層及び第 1 の絶縁膜を覆って第 2 の絶縁膜を形成する工程と、前記絶縁膜上に多層構造を有するゲート配線を形成する工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 17】絶縁表面を有する下地膜の少なくとも一部に結晶化を助長する触媒元素を接する工程と、前記下地膜上に初期半導体膜と第 1 の絶縁膜とを連続的に形成する工程と、前記第 1 の絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を得る工程と、前記結晶性半導体膜及び前記第 1 の絶縁膜をパターニングして、前記初期半導

(3)

特開 2000-58839

3

体膜の端面と前記第 1 の絶縁膜の端面を一致させる工程と、前記活性層及び第 1 の絶縁膜を覆って第 2 の絶縁膜を形成する工程と、前記絶縁膜上に多層構造を有するゲート配線を形成する工程と、ソース領域またはドレイン領域となるべき領域にリン元素のドーピングを行う工程と、加熱処理を施し、前記触媒元素をゲッタリングさせる工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 18】請求項 16 または請求項 17 において、多層構造を有するゲート配線を形成する工程は、絶縁膜上に第 1 の金属膜を形成する工程と、前記第 1 の金属膜上に接して第 2 の金属膜を形成する工程と、前記第 2 の金属膜をパターニングして、前記第 1 の金属膜上に前記第 2 の配線層を形成する工程と、前記第 1 の金属膜に電圧を印加することによって、前記第 2 の配線層を陽極酸化するとともに、前記第 1 の金属膜を陽極酸化する工程と、前記第 1 の金属膜の陽極酸化膜を選択的に除去して、第 1 の配線層を形成する工程とを有する半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 19】請求項 16 乃至 18 のいずれか一において、第 1 の絶縁膜及び第 2 の絶縁膜を介して、導電性を付与する不純物イオンを前記結晶性半導体膜に添加する工程を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 20】請求項 16 乃至 19 のいずれか一において、結晶性半導体膜を得る工程は、前記初期半導体膜を溶解させることなく前記初期半導体膜を結晶化させることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。特に、バルブ金属膜で形成された配線を有する半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。本発明の半導体装置は、薄膜トランジスタ (TFT) や MOS トランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】絶縁性を有する基板上に形成された薄膜トランジスタ (TFT) により画素マトリクス回路および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは 0.5~20 インチ程度のものまで表示ディスプレイとして利用されている。

4

【0003】現在、高精細な表示が可能な液晶ディスプレイを実現するために、ポリシリコンで代表される結晶性半導体膜を活性層とする TFT が注目されている。結晶性半導体膜を活性層とする TFT は、非晶質半導体膜を活性層とする TFT と比較して動作速度や駆動能力が高い一方、個々の TFT の電気特性のバラツキが大きいという問題があった。

【0004】また、液晶ディスプレイ開発の 1 つの方向に大面積化があるが、大面積化すると画素表示部となる画素マトリクス回路も大面積化し、これに伴ってマトリクス状に配列されたソース配線およびゲート配線が長くなるため、配線抵抗が増大している。さらに高精細化が要求されるため、配線を細くする必要があり、配線抵抗の増大がより顕在化されている。また、ソース配線およびゲート配線には画素毎に TFT が接続され、画素数が増大するため寄生容量の増大も問題となる。液晶ディスプレイでは、一般にゲート配線とゲート電極は一体的に形成されており、パネルの大面積化に伴ってゲート信号の遅延が顕在化されている。

【0005】従って、ゲート電極配線材料の抵抗率が低ければ低いほどゲート配線を細く、且つ長くすることが可能になり、これにより大面積化が図れる。従来、ゲート電極配線材料として Al、Ta、Ti 等が用いられているが、中でも Al が最も抵抗率が低く、陽極酸化可能な金属であるため多用されている。しかしながら、Al は陽極酸化膜の形成により、耐熱性を向上させることができるものの、300℃~400℃のプロセス温度であっても、ウィスカやヒロックの発生、配線の変形、絶縁膜や活性層への拡散が生じ、TFT の動作不良、TFT 特性の低下の主な原因となっていた。

【0006】また、陽極酸化処理を行うためには、陽極酸化する電極及び配線を電圧供給配線に接続することが必要であり、陽極酸化処理後は、電圧供給線や、この電圧供給線との不要な接続部をエッチングにより除去する必要もある。即ち、陽極酸化処理を用いて薄膜トランジスタを作製するには、電圧供給線を形成するスペースと、エッチングマージンが必要とされ、回路の集積化の障害となっている。

【0007】

【発明が解決しようとする課題】現在、TFT には高移動度が求められており、TFT の活性層としては、非晶質半導体膜よりも移動度の高い結晶性半導体膜を用いることが有力視されている。従来の TFT は、以下に概略説明するように作製される。

【0008】まず、絶縁基板上にアモルファスシリコン膜を成膜し、このアモルファスシリコン膜 (非晶質珪素膜) を加熱、またはレーザー光の照射等の結晶化処理を施してポリシリコン膜 (多結晶珪素膜) を形成する。次いで、このポリシリコン膜を所望の形状にパターニングした後、その上にゲート絶縁膜とゲート電極形成材料層

(4)

特開 2000-58839

5

を堆積し、これらをパターニングしてゲート電極を形成する。次いで、導電性を付与する不純物をポリシリコン膜に選択的に導入してソース領域、ドレイン領域となる不純物領域を形成する。続いて、層間絶縁膜を堆積し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングして、ソース領域、ドレイン領域と接触する金属配線を形成する。こうして、TFTの作製工程を完了する。

【0009】このように従来では、非晶質を有する半導体膜の成膜後、幾つかの工程（例えば、結晶化工程、パターニング工程）を施した後、ゲート絶縁膜を形成している。

【0010】そのため、ゲート絶縁膜の形成前に活性層となる結晶性半導体膜の表面が大気中の不純物（酸素、水分等）、またはゲート絶縁膜の形成前の工程で生じる不純物により汚染または酸化されてしまっていた。この汚染または酸化された表面を有する結晶性半導体膜上にゲート絶縁膜を形成すると、活性層、特にチャネル形成領域とゲート絶縁膜との界面特性が低下し、TFTの電気的特性のパラッキや低下を引き起こす原因となっていた。

【0011】本発明は、活性層、特にチャネル形成領域を構成する領域とゲート絶縁膜との界面を良好なものとするにより、TFTの特性を向上させるとともに均一な特性を有する半導体素子からなる半導体回路を備えた半導体装置およびその作製方法を提供するものである。

【0012】また、本発明では、陽極酸化用の電圧供給配線を形成せずに、ゲート配線を陽極酸化することを可能にする。さらに、加熱が原因となる配線からのアルミニウム原子の拡散や、配線の変形を防止して、半導体素子を歩留りよく作製することを目的とする。

【0013】

【課題を解決するための手段】上記目的を解決するため、本発明は、絶縁表面上に下地膜を成膜し、この下地膜表面に触媒元素を添加した後、初期半導体膜と第1のゲート絶縁膜を連続的に形成し、次いで第1のゲート絶縁膜を介して赤外光または紫外光（レーザー光）の照射による結晶化を行った後、パターニングを行い所望の形状を有する活性層及び第1のゲート絶縁層を得た後、第2のゲート絶縁膜を形成することを一つの特徴としている。さらにレーザー光の照射も大気にさらすことなく連続的に行うことが好ましい。

【0014】また、本明細書中で膜を連続的に形成するとは、高真空を維持したまま、大気にさらすことなく順次、膜を形成することを指しており、例えば、大気にさらすことなくチャンパー間を移動させて連続的に膜の形成を行う、または同一チャンパー内で大気にさらすことなく反応ガスを変更させて連続的に膜の形成を行うことを指している。

6

【0015】また、本発明は、ゲート電極を多層構造とし、上層の配線層を低抵抗な材料、好ましくはアルミニウムまたはアルミニウムを主成分とする材料で形成し、下層の配線層を上層の配線層材料よりも融点が高いバルブ金属、好ましくはアルミニウムを主成分とする材料と同じ電解溶液で陽極酸化可能なタンタルまたはタンタルを主成分とする材料（Ta-N等）で構成することを一つの特徴としている。

【0016】本明細書で開示する本発明の第1の構成は、絶縁性を有する表面上に結晶性半導体膜からなる活性層と、前記活性層の上面に接する第1の絶縁膜と、前記活性層の側面に接し、且つ前記第1の絶縁膜の上面及び側面に接する第2の絶縁膜と、前記第2の絶縁膜上に接する多層構造を有するゲート配線とを有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0017】また、本発明の他の構成（第2の構成）は、絶縁性を有する表面上に結晶性半導体膜からなる活性層と、前記活性層の上面に接する第1の絶縁膜と、前記活性層の側面に接し、且つ前記第1の絶縁膜の上面及び側面に接する第2の絶縁膜と、前記第2の絶縁膜上に接する多層構造を有するゲート配線とを有し、前記第2の絶縁膜は、前記第1の絶縁膜と比較して膜厚が厚いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0018】また、上記各構成において、前記結晶性半導体膜は、初期半導体膜に結晶化を助長する触媒元素を添加する工程と、前記第1の絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を溶融させることなく結晶化する工程とを少なくとも経て形成された結晶性半導体膜であることを特徴としている。

【0019】加えて、上記各構成において、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Au、Geから選ばれた少なくとも1つの元素であることを特徴としている。

【0020】また、上記初期半導体膜は、非晶質を有する半導体膜、または微結晶を有する半導体膜であることを特徴としている。

【0021】また、上記各構成において、前記第1の絶縁膜と前記活性層との界面における不純物濃度は、第1の絶縁膜と第2の絶縁膜との界面における不純物濃度よりも低いことを特徴としている。

【0022】また、上記各構成において、前記多層構造を有するゲート配線は、アルミニウム、タンタル、モリブデン、チタン、クロム、シリコンから選ばれた一種の元素を主成分とする層を少なくとも一層含むことを特徴としている。

【0023】また、上記各構成において、前記ゲート配線は第1の導電膜上に、第2の導電膜が積層された多層構造を有しており、前記第1の導電膜は、タンタルまた

(5)

特開2000-58839

7

はタンタルを主成分とする材料からなり、前記第2の導電膜は、アルミニウムまたはアルミニウムを主成分とする材料からなることを特徴としている。

【0024】また、上記各構成において、前記第1の絶縁膜の膜厚は、1～50nmである。また、前記第2の絶縁膜の膜厚は、100～200nmである。

【0025】また、上記各構成において、前記活性層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されたチャネル形成領域とを有している。

【0026】また、上記各構成において、前記ソース領域およびドレイン領域の少なくとも一部は、シリサイドであることを特徴としている。

【0027】また、上記各構成において、前記ソース領域およびドレイン領域には、N型の導電性を付与する不純物が添加されている。

【0028】また、上記各構成において、前記ソース領域およびドレイン領域には、N型の導電性を付与する不純物およびP型の導電性を付与する不純物が添加されていることを特徴としている。

【0029】さらに、上記各構成において、前記チャネル形成領域は、結晶化を助長する触媒元素を含有し、前記触媒元素の濃度は、チャネル形成領域よりもソース領域およびドレイン領域のほうが高いことを特徴としている。

【0030】また、本発明で開示する本発明の作製方法の第1の構成は、絶縁表面を有する下地膜の少なくとも一部に結晶化を助長する触媒元素を接する工程と、前記下地膜上に初期半導体膜と第1の絶縁膜とを連続的に形成する工程と、前記第1の絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を得る工程と、前記結晶性半導体膜及び前記第1の絶縁膜をパターンニングして、前記初期半導体膜の端面と前記第1の絶縁膜の端面を一致させる工程と、前記活性層及び第1の絶縁膜を覆って第2の絶縁膜を形成する工程と、前記絶縁膜上に多層構造を有するゲート配線を形成する工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0031】また、本発明で開示する本発明の作製方法の第2の構成は、絶縁表面を有する下地膜の少なくとも一部に結晶化を助長する触媒元素を接する工程と、前記下地膜上に初期半導体膜と第1の絶縁膜とを連続的に形成する工程と、前記第1の絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を得る工程と、前記結晶性半導体膜及び前記第1の絶縁膜をパターンニングして、前記初期半導体膜の端面と前記第1の絶縁膜の端面を一致させる工程と、前記活性層及び第1の絶縁膜を覆って第2の絶縁膜を形成する工程と、前記絶縁膜上に多層構造を有するゲート配線を形成する工程と、ソース領域またはドレイ

8

ン領域となるべき領域にリン元素のドーピングを行う工程と、加熱処理を施し、前記触媒元素をゲッタリングさせる工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0032】上記作製方法の各構成において、多層構造を有するゲート配線を形成する工程は、絶縁膜上に第1の金属膜を形成する工程と、前記第1の金属膜上に接して第2の金属膜を形成する工程と、前記第2の金属膜をパターンニングして、前記第1の金属膜上に前記第2の配線層を形成する工程と、前記第1の金属膜に電圧を印加することによって、前記第2の配線層を陽極酸化するとともに、前記第1の金属膜を陽極酸化する工程と、前記第1の金属膜の陽極酸化膜を選択的に除去して、第1の配線層を形成する工程とを有している。

【0033】上記作製方法の各構成において、第1の絶縁膜及び第2の絶縁膜を介して、導電性を付与する不純物イオンを前記結晶性半導体膜に添加する工程を有することを特徴としている。

【0034】上記作製方法の各構成において、結晶性半導体膜を得る工程は、前記初期半導体膜を溶融させることなく前記初期半導体膜を結晶化させることを特徴としている。

【0035】

【発明の実施の形態】本発明の半導体装置およびその作製方法の実施形態を示す簡略断面図である図1～図5を用いて簡略に説明する。

【0036】まず、絶縁表面を有する基板100を用いる。基板100としては、ガラス基板、石英基板、結晶性ガラス、プラスチック基板等の絶縁性基板、または下地膜を有する半導体基板（シリコン基板等）、金属基板（ステンレス基板等）等を用いることができる。

【0037】次に、絶縁表面を有する基板100上に下地膜10を形成する。下地膜10としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_2N ）、またはこれらの積層膜等を用いることができる。下地膜の形成方法は、公知の技術、例えば減圧CVD法、熱CVD法、プラズマCVD法、スパッタ法等を用いることができる。

【0038】次いで、基板上または下地膜上に半導体材料の結晶化を助長する触媒元素を全面または選択的に添加する。触媒元素を添加する方法としては、スパッタ法、CVD法、プラズマ処理法、吸着法、イオン注入法、または触媒元素を含有した溶液を塗布する方法を使用することができる。（図1（A））結晶化を助長する触媒元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを用いることができる。また、格子置換型（または溶融型）の触媒元素であるGe、Pbを用いることもできる。この技術を用いることにより、低温プロセスで結晶性半導体膜を作製することが可能とな

(6)

特開2000-58839

10

9
った。ここでは、触媒元素としてニッケル(Ni)を用いた例を示して具体的に説明する。

【0039】続いて、初期半導体膜101と第1のゲート絶縁膜102aを連続的に形成する。(図1(B))

【0040】なお、本明細書で初期半導体膜とは、半導体膜を総称しており、代表的には、非晶質を有する半導体膜、例えば非晶質半導体膜(非晶質珪素等)、微結晶を有する非晶質半導体膜、微結晶半導体膜を指し、これら半導体膜は、Si膜、Ge膜、化合物半導体膜(例えば、 Si_xGe_{1-x} ($0 < x < 1$)で示される非晶質シリコンゲルマニウム膜等)からなる膜である。この初期半導体膜の成膜方法は、公知の技術、例えば減圧CVD法、熱CVD法、プラズマCVD法等を用いることができる。

【0041】第1のゲート絶縁膜102aとしては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO_xN_y)、またはこれらの積層膜等を1nm~50nmの膜厚範囲で用いることができる。第1のゲート絶縁膜の形成方法は、公知の技術、例えば減圧CVD法、熱CVD法、プラズマCVD法、スパッタ法等を用いることができる。加えて、第1のゲート絶縁膜として、初期半導体膜101をプラズマ酸化、熱酸化して得られる酸化膜あるいはプラズマ窒化して得られる窒化膜を用いることも可能である。

【0042】本発明においては、初期半導体膜を成膜後、大気にさらすことなく連続的に第1のゲート絶縁膜を形成することにより優れた界面特性を得ることができた。また、成膜時の温度を同一にすることで、各層間での応力を緩和することが好ましい。加えて、上記のように連続的に形成する際、初期半導体膜の膜中における水素濃度を低減させるために、成膜温度を400~500℃で成膜する工程、または、上記のように連続的に形成した後、350~500℃の熱処理を加える工程とすることが好ましい。

【0043】次に、第1のゲート絶縁膜102aを透過させて赤外光または紫外光の照射による結晶化(以下、レーザー結晶化と呼ぶ)を行ない、非晶質半導体膜101を結晶化させて結晶性半導体膜103を形成する。

(図1(C))また、大気開放することなく連続的にレーザー結晶化を行うことが好ましい。

【0044】本明細書で結晶性半導体膜とは、構造に秩序性を有している半導体膜を総称しており、例えば単結晶半導体膜、多結晶半導体膜(多結晶珪素膜等)、微結晶半導体膜さらには、部分的に秩序性を有した構造を有している半導体膜を指している。

【0045】結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。ここでは、下地膜と非晶質を有する半導体膜との界

面から触媒元素(Ni)が拡散するに従って、結晶成長が進行する。また、レーザー結晶化の条件によっては、非晶質を有する半導体膜が溶融状態を経過して結晶化する場合や、非晶質を有する半導体膜が溶融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。なお、第1のゲート絶縁膜の膜厚、非晶質を有する半導体膜の膜厚、基板温度等を考慮して、レーザー結晶化の条件(レーザー光の波長、照射強度、パルス幅、繰り返し周波数、照射時間等)を適宜調節する。なお、レーザー結晶化後、公知の方法を用いて水素化処理を加える工程としてもよい。

【0046】次に、第1のゲート絶縁膜及び結晶性半導体膜を所望の形状とするためパターニングを施して、第1のゲート絶縁層102bと結晶性半導体膜からなる活性層104を得る。(図1(D))

【0047】次に、基板全面を覆って、第2のゲート絶縁膜102cを形成する。(図1(E))第2のゲート絶縁膜としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO_xN_y)、またはこれらの積層膜等を100nm~200nmの膜厚範囲で用いることができる。

【0048】次いで、第1の導電膜105と第2の導電膜106との積層膜を形成する。(図2(A))第1の導電膜105としては、バルブ金属を主成分とする材料、例えば、タンタル(Ta)、ニオブ(Nb)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、クロム(Cr)等を主成分とする材料を1~50nm(好ましくは5~30nm、さらに好ましくは5~20nm)の膜厚範囲で用いることができる。ここでは、第1の導電膜としてタンタル(Ta)膜を用いた例を示して具体的に説明する。なお、タンタルはシリコンと仕事関数が近いこと、TFTのしきい値のシフトが少なく好ましい材料の一つである。加えて、タンタルは、アルミニウムを主成分とする材料と同じ電解溶液で陽極酸化できるため、本発明に好ましい。

【0049】本明細書中でバルブ金属とは、アノード的に生成したバリア型陽極酸化膜がカソード電流は流すがアノード電流は通さない、即ち弁作用を示すような金属を指す。(電気化学便覧 第4版;電気化学協会編, P 370, 丸善, 1985)

【0050】また、第2の導電膜106としては、主として電荷の通路となる第2の配線層を形成するため低抵抗な導電材料、例えば、アルミニウムまたはアルミニウムを主成分とする材料を200~500nmの膜厚範囲で用いることができる。ここでは、第2の導電膜としてアルミニウム膜を用いた例を示して具体的に説明する。

【0051】次に、レジストマスク108を形成して第2の導電膜106をパターニングし、第2の導電膜からなる第2の配線層107aを形成する。(図2(B))なお、この第2の配線層107aは、ゲート配線の上層を構成する。

【0052】次に、レジストマスク108を残したまま陽極酸化装置のプロープを第1の導電膜105に接触させて、第1の陽極酸化を行う。(図2(C))この第1の陽極酸化では、第2の配線層の側面にポーラス型の陽極酸化物(多孔質アルミナ)109が形成される。

【0053】次に、レジストマスク108を除去した後、再び陽極酸化装置のプロープを第1の導電膜に接触させて、第2の陽極酸化を行う。(図2(D))この第1の陽極酸化では、第2の配線層107cの表面にバリア型の陽極酸化物(無孔質アルミナ)が形成される。第1の導電膜においては、露出している領域およびポーラス型の陽極酸化物109が存在している領域が陽極酸化されて、タンタルオキサイド(TaOx)111が形成される。なお、陽極酸化されなかった第1の導電膜112が第1の配線層を構成する。

【0054】図4(A)に図2(D)の点線で囲った部分の拡大断面図を示す。第1の導電膜が露出し陽極酸化された領域は、タンタルオキサイド111a、111cが積層されている。また、ポーラス型の陽極酸化物109と接している領域は、タンタル層112、タンタルオキサイド111a、111bが積層されている。111cはポーラス型の陽極酸化物109と同一工程で酸化された領域である。111a、111bで示される領域はバリア型の陽極酸化物110と同一工程で酸化された領域である。なお、111aで示される領域は陽極酸化物109の下部に5~20nm程度進入している。また、111bで示される領域はAlを含有したタンタルオキサイドもしくはTaとAlとの合金の酸化物となっている。また、111cで示される領域は111aで示される領域よりも膜質が緻密でない。

【0055】次に、ポーラス型の陽極酸化膜をマスクとしてタンタルオキไซด์を除去する。(図2(E))この際、エッチング条件によっては、第2のゲート絶縁膜の表面が多少エッチングされるが、簡略化のため図示しない。また、同様にエッチング条件によっては、陽極酸化物109の下部に回り込んで多少エッチングされるが、簡略化のため図示しない。

【0056】次に、活性層104の表面をゲート絶縁膜102b、102cで覆ったままの状態、導電性を付与する不純物イオンを活性層に添加して、ソース領域またはドレイン領域となるP型またはN型の不純物領域113、114を形成する。(図3(A))イオンの添加は、イオン注入法、プラズマドーピング法、レーザードーピング法等の公知の手段を用いればよい。この工程では、第1及び第2のゲート絶縁膜を通り抜けて不純物イオンが活性層に添加されるようにドーピング条件、ドーピング量、加速電圧等を調節する。ここでは、P型の導電性を付与する不純物としてボロン、N型の導電性を付与する不純物としてリンを用いた例を示して具体的に説明する。

【0057】図4(B)に図3(A)の点線で囲った部分の拡大断面図を示す。この構造のままでは、TFETをオン状態とした時に、陽極酸化物109、111の下方に存在しているTa層112の端部に電圧が集中して印加されるため、TFETが劣化、破壊しやすい。従って、陽極酸化物109、111の下方に存在しているTa層112を選択的に除去または酸化することが望ましい。

【0058】そこで本発明では、活性層の表面をゲート絶縁膜102b、102cで覆ったままの状態、ポーラス型の陽極酸化物109を除去した後、さらに、CHF₃を用いたドライエッチングにより109で示される領域の下方に存在していたタンタルオキไซด์およびタンタル膜を除去する。(図3(B))本発明の構成では、第2のゲート絶縁膜がエッチングストッパーとして機能し、活性層を保護するため、複数のエッチング処理を行うことを可能とした。この際、エッチング条件によっては、第2のゲート絶縁膜の表面が多少エッチングされるが、簡略化のため図示しない。また、エッチング条件によっては、陽極酸化物110の下部の111または112で示される領域に回り込んで多少エッチングされるが、簡略化のため図示しない。

【0059】次に、再度、導電性を付与する不純物イオンを活性層に添加して、P型またはN型の低濃度不純物領域117、118を形成する。(図3(C))イオンの添加は、イオン注入法、プラズマドーピング法、レーザードーピング法等の公知の手段を用いればよい。また、116で示される第1の配線層がマスクとして機能し、ゲート配線の下部の領域はチャネル形成領域119となる。

【0060】次に、500~650℃、0.1~12時間の加熱処理を施す。(図3(D))この加熱処理によって、ソース領域およびドレイン領域における不純物の活性化効果、ドーピング工程で損傷した活性層の結晶構造の回復効果、リンが添加されたソース領域及びドレイン領域をゲッターリングシンクに利用してチャネル形成領域内の触媒元素濃度を低減させる効果が得られる。ここで、ゲート配線直下のチャネル形成領域からソース領域及びドレイン領域に向かって、ニッケルが図3(D)中の矢印の方向に移動してゲッターリングされる。

【0061】図4(C)に図3(D)の点線で囲った部分の拡大断面図を示す。111dで示される陽極酸化物は、111aの一部である。図示されるように、活性層の表面は、第1のゲート絶縁膜102b、第2のゲート絶縁膜102cで覆う構造とする。

【0062】最後に、層間絶縁膜120を形成し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングして、ソース領域、ドレイン領域と接触する金属配線121、122を形成する。(図3(E))こうして、本発明の実施の形態におけるTFETの作製を完了する。

(8)

特開2000-58839

13

【0063】なお、図5に図3(E)における断面図を示す。図3(E)は、図5(B)と同一であり、図5(B)におけるZ-Z'面での断面構造図は図5(A)に相当する。なお、図5(A)で示される平面形状は、矩形形状として簡略化した。また、図5(A)におけるX-X'面での断面構造図は図5(B)に相当し、図5(A)におけるY-Y'面での断面構造図は図5(C)に相当する。

【0064】

【実施例】以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0065】【実施例1】本願発明を利用した半導体素子からなる半導体回路を備えた半導体装置について、図10を用いてその構造の一例を説明する。なお、本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素マトリクス回路部とを備えている。本実施例では図示を容易にするため、同一基板上に周辺駆動回路部の一部を構成するCMOS回路と、画素マトリクス回路部の一部を構成する画素TFT(Nチャネル型TFT)とが示されている。

【0066】また、図10は図6~9の上面図に相当する図であり、図10において、点線A-A'で切断した部分が、図10の画素マトリクス回路の断面構造に相当し、点線B-B'で切断した部分が、図6~9のCMOS回路の断面構造に相当する。なお、図11が、同一基板上に周辺駆動回路部と画素マトリクス回路部とを備えたアクティブマトリクス基板の概略斜視図である。アクティブマトリクス基板は、基板200上に形成された、画素マトリクス回路701、走査線駆動回路702、信号線駆動回路703とを備え、走査線駆動回路702、信号線駆動回路703はそれぞれ走査線621、信号線603によって画素マトリクス回路701に接続されている。走査線、信号線の交差点近傍には、各配線に接続された画素TFT704が形成され、画素TFTには画素電極613、付加容量705が接続されている。

【0067】図9において、いずれのTFT(薄膜トランジスタ)も基板200上に設けられた下地膜201上に形成されている。CMOS回路のPチャネル型TFTの場合には、活性層としてP型の高濃度不純物領域(ソース領域又はドレイン領域)801、802と、チャネル形成領域803と、前記高濃度不純物領域と前記チャネル形成領域の間に低濃度不純物領域804、805が形成されている。そして前記チャネル形成領域上には、第1のゲート絶縁膜203bと第2のゲート絶縁膜203cの積層膜を介してゲート配線が形成されている。ゲート配線は、第1の配線層212と第2の配線層207bとの積層構造を有しており、第2の配線層はバリア型の陽極酸化物210で保護されている。その上を覆う第1の層間絶縁膜601にコンタクトホールを形成して高濃度不純物領域に配線604、605が接続され、さら

14

にその上に第2の層間絶縁膜607が形成され、配線605に引き出し配線610が接続されて、その上を覆って第3の層間絶縁膜612が形成されている。

【0068】一方、Nチャネル型のTFTは、活性層としてN型の高濃度不純物領域(ソース領域又はドレイン領域)806、807と、チャネル形成領域809と、前記高濃度不純物領域と前記チャネル形成領域の間に低濃度不純物領域808、810が形成されている。高濃度不純物領域には配線605、606が接続され、さらに配線606には引き出し配線611が接続されている。活性層以外の部分は、上記Pチャネル型TFTと同一構造である。

【0069】画素マトリクス回路に形成されたNチャネル型TFTについては、第1の層間絶縁膜を形成する部分まで、CMOS回路のNチャネル型TFTと同一構造である。そして、高濃度不純物領域811には配線603が接続される一方、高濃度不純物領域813には配線602が接続され、その上に第2の層間絶縁膜を形成し、ブラックマスク609を形成する。このブラックマスクは画素TFTを覆い、且つ配線602と付加容量を形成している。さらに、その上に第3の層間絶縁膜612を形成し、ITO等の透明導電膜からなる画素電極613が接続される。なお、本実施例では、画素マトリクス回路の画素TFTのゲート電極をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0070】本発明の構造において、チャネル形成領域と第1のゲート絶縁膜との界面における(炭素、窒素、酸素、Na、Fe、Cr、Al、Ta等)不純物濃度は、第1のゲート絶縁膜と第2のゲート絶縁膜との界面における不純物濃度と比較して低いことを特徴としている。特に、各TFTのチャネル形成領域803、809、814、815と第1のゲート絶縁膜203bとの界面における炭素、窒素、酸素等の不純物の濃度を 1×10^{11} atoms/cm²以下、好ましくは 1×10^{10} atoms/cm²となるように不純物濃度を制御することができた。なお、アルカリ金属不純物(Na等)および金属不純物(Fe、Cr等)の濃度は 1×10^{11} atoms/cm²以下に制御することができた。また、結晶化の際に用いた触媒元素(Ni)は、 5×10^{11} atoms/cm²以下とすることができた。ここでの不純物の濃度はSIMSデータの最低値で定義する。

【0071】以下に、図6~9を参照して、本発明の半導体装置の作製方法の一例を詳細に説明する。

【0072】まず、絶縁表面を有する基板200を用意する。本実施例においては基板200としてガラス基板(コーニング1737; 至点667℃)を用いた。その基板表面に下地膜201として酸化珪素膜を200nm

(9)

特開2000-58839

15

の膜厚で形成した。次に、スピナーを用いてNi酢酸溶液を塗布し、更に乾燥させてNi層21を形成した。

(図6(A))ただし、Ni層は完全な層を成しているものではない。Ni酢酸溶液のNi濃度は重量換算で1~1000ppmとする。本実施例では100ppmとした。この状態で下地膜の表面にNiが保持される。本実施例では、溶液を用いた塗布法を用いたが、イオン注入、スパッタ法を用いて下地膜の表面にNiを保持させることができる。

【0073】次に、非晶質珪素膜202と第1のゲート絶縁膜203aを連続的に形成した。(図6(B))本実施例では、非晶質珪素膜の形成専用のチャンバーと、第1のゲート絶縁膜の形成専用のチャンバーとを用意し、高真空を保ったまま、各チャンバーを移動することにより連続的に形成した。本実施例では、減圧熱CVD法により成膜ガスとしてジシラン(Si₂H₆)を用いて膜厚50nmの非晶質珪素膜を形成し、減圧熱CVD法により膜厚20nmの酸化膜からなる第1のゲート絶縁膜を形成した。なお、非晶質珪素膜202の膜中における炭素、窒素、酸素等の不純物の濃度を 5×10^{11} atoms/cm³以下となるように不純物濃度を制御する。

【0074】続いて、第1のゲート絶縁膜203aを上面に有したまま、非晶質珪素膜202を紫外光または赤外光の照射により結晶化(レーザー結晶化)して結晶性珪素膜204を得た。(図6(C))さらに、連続的に大気さらすことなくレーザー結晶化を行ってもよい。本実施例では、XeClレーザー光($\lambda=308$ nm)を用いた。本実施例では、非晶質を有する半導体膜が溶融しない結晶化条件でパルスレーザー光を照射して、触媒元素から結晶成長させることにより結晶性半導体膜を得た。この結晶化工程では、まず、ニッケルシリサイドを核とした核生成が起こり、次第に核が成長して膜全体が結晶化する。

【0075】次に、図6(D)に示すように結晶性珪素膜と第1のゲート絶縁膜をドライエッチング法を用いてパターンニングを施し、活性層205、第1のゲート絶縁層203bを形成した。

【0076】次に、膜厚100nmの第2のゲート絶縁膜203cを基板全面を覆って形成した後、第1の導電膜としてTa膜206を20nm、第2の導電膜として2wt%のスカンジウムを含有した厚さ40nmのAl膜との積層膜を形成する。そして、レジストマスク208を形成してAl膜をパターンニングし、第2の配線層207aを形成した。(図7(A))

【0077】次に、レジストマスク208を残したまま、陽極酸化装置のプロープをTa膜に接触させて、第1の陽極酸化を行った。陽極酸化条件は、電解溶液に3%のシュウ酸水溶液(温度10℃)を用い、到達電圧8V、電圧印加時間40分、供給電流20mA/1基板とした。この工程によりポーラス型の陽極酸化物209が

16

形成された。次いで、レジストマスク208を除去した後、再度、陽極酸化装置のプロープをTa膜に接触させて、第2の陽極酸化を行った。陽極酸化条件は、電解溶液に3%の酒石酸を含むエチレングリコール溶液を用い、電解溶液温度10℃、到達電圧80V、電圧印加時間30分、供給電圧30mA/1基板とした。この工程により、バリア型の陽極酸化物210、タンタルオキサイド211が形成された。(図7(B))実際には、タンタルオキサイドに変成した領域の膜厚は増加するが、簡略化のため図示しない。

【0078】次に、タンタルオキไซด์を酸素系のエッチャントガス、例えばCF₄、O₂を用いてエッチングにより除去した後、イオン注入法によりN型の導電性を付与する不純物イオンであるリンをゲート絶縁膜203b、203cを通過させて活性層に添加し、次にNチャネル型TFTをレジスト膜で覆って、イオン注入法によりP型の導電性を付与する不純物イオンであるボロンを同様にして活性層(217、218)で示される領域に添加した。(図7(C))ボロンのドーザ量は、P型の不純物領域217、218のボロンイオンの濃度がN型の不純物領域213~215、220、221に添加されるリンイオンの濃度の1.3~2倍程度になるようにする。なお、本実施例におけるリンイオンまたはボロンイオンの添加方法は、公知の方法、例えばイオン注入法、プラズマドーピング法、リンイオンまたはボロンイオンを含む溶液を塗布後、加熱する方法、リンイオンまたはボロンイオンを含む膜を形成後加熱する方法等を用いて行う。また、上記工程において、タンタルオキไซด์をエッチングして除去する際、第2のゲート絶縁膜がエッチングストッパーとしての役割を果たす。

【0079】次に、ポーラス型の陽極酸化物209を公知の方法によりエッチングして除去する。(図8

(A))さらにフッ素系のエッチャントガス(例えばCHF₃)を用いたエッチング処理を施して陽極酸化物209の下方に存在していた212で示される箇所を除去した後、上記不純物添加工程と同様にゲート絶縁膜を通過させて、図7(C)で示される工程における不純物濃度よりも低濃度の不純物の添加を行い、N型の導電性を有する低濃度不純物領域306~309、404、405及びP型の導電性を有する低濃度不純物領域504、505を形成した。(図8(B))上記工程においてもエッチングする際、第2のゲート絶縁膜がエッチングストッパーとしての役割を果たす。

【0080】N型の高濃度不純物領域に、 $1 \times 10^{18} \sim 8 \times 10^{18}$ atoms/cm³、N型の低濃度不純物領域のリン濃度が、 $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³になるように調節する。また、リンイオン、ボロンイオンが注入されなかった領域が後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域となる。

【0081】なお、本明細書中で真性とは、シリコンの

(10)

特開2000-58839

17

フェルミレベルを変化させる不純物を一切含まない領域を指し、実質的に真性な領域とは、電子と正孔が完全に釣り合っ導電性を相殺させた領域、即ち、しきい値制御が可能な濃度範囲 ($1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm²) でN型またはP型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電性を相殺させた領域を示す。

【0082】その後、不活性雰囲気またはドライ酸素雰囲気中において450℃以上、0.5～12時間、本実施例では550℃、2時間の加熱処理をした。(図8 (C))

【0083】上記加熱工程により、非晶質珪素膜の結晶化のために意図的に添加したNiが図8 (C) 中の矢印で模式的に示すように、チャネル形成領域からそれぞれのソース領域及びドレイン領域へ拡散する。これはこれらの領域がリン元素を高濃度を含むためであり、これらのソース領域及びドレイン領域に到達したNiはそこで捕獲(ゲッターリング)される。400～600℃、0.5～4時間の加熱処理で、Niを十分ゲッターリングすることができる。

【0084】その結果、チャネル形成領域内のNi濃度を低減することができる。チャネル形成領域304、305、403、503中のNi濃度はSIMSの検出下限である 5×10^{17} atoms/cm² 以下にすることができる。他方、ゲッターリングシンクに用いたソース領域及びドレイン領域中のNi濃度はチャネル形成領域よりも高くなる。(図5 (C))

【0085】次に、基板全面に第1の層間絶縁膜を酸化珪素膜でもって形成する。ここでは、CVD法でもって膜厚1μmの第1の層間絶縁膜601を形成する。また、他の層間絶縁膜の材料としては、窒化珪素膜、酸化窒化珪素膜、透明性有機樹脂膜、例えばアクリル樹脂、ポリイミド、BCB(ベンゾシクロブテン)を用いることができる。

【0086】そして、コンタクトホール形成を行い、シリサイド化するための金属膜を選択的に設け、加熱処理を施し、811～813、802、801、806、807で示された領域をシリサイド化させた後、金属膜だけを除去した。この工程を加えることにより低抵抗化を図り、数GHzレベルの動作周波数を実現することが可能となる。シリサイド化するための金属膜としては、コバルト、チタン、タンタル、タングステン、モリブデン等を主成分とする材料からなる膜を用いることが可能である。次に、コンタクト電極を構成するための図示しない金属膜を成膜する。ここでは、この金属膜としてチタン膜とアルミニウム膜とチタン膜との3層膜をスパッタ法により成膜する。そしてこの金属膜をパターニングすることにより602～606で示される配線を形成する。本実施例では、シリサイド化する工程を加えたが、特になくともよい。

18

【0087】次に第2の層間絶縁膜125として有機樹脂膜を膜厚1μmの厚さにスピンコート法でもって形成する。そして、補助容量を形成するために、所定の箇所608だけエッチングを施し薄くする。そして、Tiからなる金属膜300nmを成膜した。そして、この金属膜にパターニングを施してブラックマスク609と引出し配線610、611を形成した。

【0088】そして、第3の層間絶縁膜612をアクリル樹脂でもって形成する。ここでは、スピンコート法でもって膜厚1μmの第3の層間絶縁膜612を形成する。樹脂膜を利用した場合には、図示されるようにその表面を平坦にすることができる。

【0089】次にコンタクトホール形成を行い、画素電極613を形成する。ここでは、まずITO膜を100nmの厚さにスパッタ法でもって成膜し、これをパターニングすることにより、613で示される画素電極を形成する。

【0090】最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体層中の欠陥を減少させる。こうして図9に示す状態を得る。

【0091】本実施例に示したTFT構造は、トップゲート型の一例であり、特に本実施例の構造に限定されるものではない。なお、ボトムゲート型に適用することは容易である。また、本実施例では透過型LCDを作製した例を示したが、半導体装置の一例を示したにすぎない。なお、ITOに代えて画素電極を反射性の高い金属膜で構成し、画素電極のパターニングの変更を実施者が適宜行うことによって反射型LCDを作製することは容易にできる。また、反射型LCDを作製する場合、下地膜として耐熱性金属膜上に絶縁膜を積層する構造または窒化アルミニウム上に絶縁膜を積層する構造を用いると、絶縁膜下の金属膜が放熱層として働き有効である。なお、上記工程順序を実施者が適宜変更することは可能である。

【0092】【実施例2】 本実施例は、実施例1とは異なる方法により結晶性珪素膜を得る例である。本実施例では、連続的に初期半導体膜と第1のゲート絶縁膜を形成する工程において、成膜温度を400～500℃として第1のゲート絶縁膜を形成後、レーザー結晶化処理により結晶性珪素膜を得る方法に関する。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0093】本実施例は、下地膜の表面に触媒元素を含む溶液を塗布することによって触媒元素(Ni)を保持させる。Ni酢酸溶液のNi濃度は重量換算で50～500ppm、好ましくは100～200ppmとする。本実施例では100ppmとした。この状態で下地膜の表面にNiが保持される。その後、初期半導体膜(RF-PCVDを用いた膜厚50nmの非晶質珪素膜)と第1のゲート絶縁膜を連続的に成膜した。この際、各膜の

(11)

特開2000-58839

19

20

成膜温度を400~500℃、本実施例では450℃として成膜温度を同一に制御した。このような成膜温度とすることで、下地膜の熱処理及び非晶質を有する半導体膜中の水素濃度の低減処理(脱水素化)を成膜と同時にを行った。さらに、第1のゲート絶縁膜の成膜と同時に、非晶質を有する半導体膜中で核成長させた。また、同じ成膜温度にすることで、各積層膜間における応力の緩和を図ることができた。

【0094】その後、第1のゲート絶縁膜を介してレーザー光を照射すると、速やかに膜全体の結晶化が行われ、結晶性珪素膜を得ることができた。また、レーザー光の照射に代えて強光の照射、例えばRTA、RTPを用いてもよい。本実施例では、波長308nmのエキシマレーザー光を用いて結晶性珪素膜を得た。実施例1においては、非晶質を有する半導体膜が溶融しない条件でパルスレーザー光を照射して、結晶成長させることにより結晶性半導体膜を得た。

【0095】以降の工程は同一であるため、省略する。こうすることにより、TF T特性が良好なTF Tを作製することができた。

【0096】〔実施例3〕 本実施例は、実施例1とは異なる方法により結晶性珪素膜を得る例である。本実施例では、レーザービーム形状を長方形または正方形に成形し、一度の照射で数cm²~数百cm²の領域に均一なレーザー結晶化処理により結晶性珪素膜を得る方法に関する。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0097】本実施例は、下地膜の成膜後、下地膜の表面に触媒元素を含む溶液を塗布することによって触媒元素(Ni)を保持させる。Ni酢酸溶液のNi濃度は重量換算で1~1000ppmとする。本実施例では100ppmとした。この状態で下地膜の表面にNiが保持される。次いで、連続的に非晶質珪素膜と第1のゲート絶縁膜を形成する。その後、不活性または酸化性雰囲気中においてエキシマレーザー光(波長248~308nm)を照射することによって結晶性珪素膜を得た。なお、加熱処理と同時にこなってもよい。また、レーザー光の照射に代えて強光の照射、例えばRTA、RTPを用いてもよい。

【0098】本実施例では、波長248nmのレーザービーム形状を長方形または正方形に成形し、一度の照射で数cm²~数百cm²の領域に均一なレーザー装置(ソプラ社製のSAELC)を用いて、結晶性珪素膜を得た。このレーザー装置は、シングルショットで大面積をアニール処理することが可能であり、且つ大出力エネルギーをもっているため、核成長及び膜全体の結晶化を行うことができる。本実施例では、非晶質半導体膜が溶融する条件でパルスレーザー光を照射して、触媒元素から結晶成長させることにより結晶性半導体膜を得た。

【0099】以降の工程は同一であるため、省略する。

こうすることにより、TF T特性が良好なTF Tを作製することができた。

【0100】なお、本実施例を実施例2と組み合わせることは可能である。

【0101】〔実施例4〕 本実施例は、実施例1とは異なる方法で、低濃度不純物領域(LDD領域)を形成する例を示す。本実施例では、陽極酸化物109を除去後の工程において、加熱温度を450~650℃、0.5~5時間として109の下部に存在していたTa膜を全て熱酸化させる。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0102】本実施例は、図3(B)に示す工程までは同一であるため省略する。図3(B)で示した状態を得た後、酸化性雰囲気中で加熱温度を450℃、2時間として109の下部に存在していたTa膜を全て熱酸化させてタンタルオキシサイドに変質させた。こうすることにより、Ta膜をタンタルオキシサイドで保護する構成とした。

【0103】その後、タンタルオキシサイドと、第1、第2のゲート絶縁膜を介して、活性層に導電型を付与する不純物を添加して低濃度不純物領域を形成した。なお、本実施例では、2度の不純物イオンの添加を行ったが、1度の不純物イオンの添加により同時に高濃度不純物領域と低濃度不純物領域を形成すると、工程が短縮できるため好ましい。

【0104】以降の工程は同一であるため、省略する。こうすることにより、TF T特性が良好なTF Tを作製することができた。

【0105】なお、本実施例を実施例2または3と組み合わせることは可能である。

【0106】〔実施例5〕 本実施例は、実施例1とは異なる方法により第1のゲート絶縁膜を得る例である。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0107】本実施例では、下地膜上に触媒元素を含む層を形成して、非晶質を有する半導体膜を得た後、大気にさらさずに酸化させて、連続的に酸化膜からなる第1のゲート絶縁膜を形成する例である。

【0108】本実施例では、下地膜上にニッケルを含む溶液を塗布し、その上に非晶質珪素膜を成膜した直後に、大気にさらさずにHeを添加した酸素ガスを用いてプラズマ酸化して第1のゲート絶縁膜を連続的に形成した。なお、各工程において、成膜温度を450℃±20℃の範囲で行うことが好ましい。加えて、その上にPCVD法により絶縁膜を積層し、積層構造を有する第1のゲート絶縁膜を構成してもよい。非晶質珪素膜を酸化して第1のゲート絶縁膜を形成するために、極めて良好なSi-SiO₂界面を得ることができる。

【0109】以降の工程は同一であるため、省略する。こうすることにより、TF T特性が良好なTF Tを作製

(12)

特開 2000-58839

21

することができた。

【0110】なお、本実施例を実施例2～4と組み合わせることは可能である。

【0111】〔実施例6〕 本実施例は、実施例1とは異なる方法により結晶性珪素膜および第1のゲート絶縁膜を得る例である。本実施例では、基板上に触媒元素(Ni)を含む層を形成し、その上に初期半導体膜として微結晶半導体膜とを成膜し、連続的に第1のゲート絶縁膜(Heを添加した酸素ガスを用いてプラズマ酸化)を形成する。この工程において、形成温度を400～500℃として第1のゲート絶縁膜を形成後、レーザー結晶化处理により結晶性珪素膜を得る方法に関する。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0112】本実施例は、微結晶を含む非晶質を有する珪素膜と、第1のゲート絶縁膜(HeとO₂を用いてプラズマ酸化した酸化珪素膜)とを連続的に形成した。なお、プラズマ酸化して得られる酸化窒化珪素膜を第1のゲート絶縁膜として用いてもよい。

【0113】その後、第1のゲート絶縁膜を介してレーザー光を照射すると、膜中の微結晶から速やかに膜全体の結晶化が行われ、結晶性珪素膜を得ることができた。また、レーザー光の照射に代えて強光の照射、例えばRTA、RTPを用いてもよい。本実施例では、波長308nmのエキシマレーザー光を用いて結晶性珪素膜を得た。実施例1においては、非晶質を有する半導体膜が溶融しない条件でパルスレーザー光を照射して、結晶成長させることにより結晶性半導体膜を得た。

【0114】以降の工程は同一であるため、省略する。こうすることにより、TFT特性が良好なTFTを作製することができた。

【0115】なお、本実施例を実施例2～5と組み合わせることは可能である。

【0116】〔実施例7〕 本実施例は、実施例1とは異なる方法により第1のゲート絶縁膜および第2のゲート絶縁膜を得る例である。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0117】本実施例では、触媒元素(Ni)を下地膜上に添加した後、連続的に非晶質を有する半導体膜と、第1のゲート絶縁膜(窒化珪素膜)を成膜する。そして、レーザー結晶化处理により結晶性珪素膜を得た後、第2のゲート絶縁膜(酸化珪素膜)を成膜する。本実施例においては、PCVD法を用い、SiH₄、NH₃、N₂を反応ガスとして成膜した窒化珪素膜(SiN_x)からなる第1のゲート絶縁膜を形成し、レーザー照射後、PCVD法を用い、TEOSと酸素を反応ガスとして成膜した第2のゲート絶縁膜を形成した。なお、酸化窒化珪素膜(SiO_xN_y)を形成してもよい。なお、さらに3層以上の積層からなるゲート絶縁膜としてもよい。

22

【0118】第2のゲート絶縁膜の成膜後、高速駆動を優先する回路の領域においては、第2のゲート絶縁膜を選択的に除去し、第1のゲート絶縁膜のみとした。この時、第1のゲート絶縁膜と第2のゲート絶縁膜とのエッチング比が異なるため、第1のゲート絶縁膜をエッチングストッパーとして、容易に選択的に第2のゲート絶縁膜のみ除去することができる。なお、高耐圧を優先する回路の領域においては、第1のゲート絶縁膜と第2のゲート絶縁膜が積層されている。

【0119】このように異なる膜質の積層からなるゲート絶縁膜を構成とすることで、結晶性珪素膜と第1のゲート絶縁膜との界面特性を良好なものとするとともに選択的にTFTのゲート絶縁膜の電気耐圧を向上させることができる。

【0120】以降の工程は概略同一であるため、省略する。こうすることにより、ゲート絶縁膜の膜厚が異なるTFTを同一基板上に作製することができた。

【0121】なお、本実施例を実施例2～6と組み合わせることは可能である。

【0122】〔実施例8〕 実施例1～7に示したアクティブマトリクス基板を、公知の技術により液晶を介して対向基板と貼り合わせて作製されたAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、半導体回路を搭載した半導体装置と定義する。

【0123】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ(ノート型を含む)、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図12に示す。

【0124】図12(A)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本願発明は受像部2003、表示装置2005等に適用できる。

【0125】図12(B)はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【0126】図12(C)は携帯電話であり、本体2201、音声出力部2202、音声入力部2203、表示装置2204、操作スイッチ2205、アンテナ2206で構成される。本願発明は音声出力部2202、音声入力部2203、表示装置2204等に適用することができる。

【0127】図12(D)はビデオカメラであり、本体2301、表示装置2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306で構成される。本願発明は表示装置2302、音声

(13)

特開2000-58839

23

入力部2303、受像部2306に適用することができる。

【0128】図12(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、ミラー(偏光ビームスプリッタ等)2404、2405、スクリーン2406で構成される。本発明は表示装置2403に適用することができる。

【0129】図12(F)は携帯書籍であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506で構成される。記憶媒体(MD、DVD等)に記憶されたデータまたはアンテナ(たとえば衛星アンテナ等)から得られるデータを表示する。本発明は表示装置2502、2503に適用することができる。

【0130】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝広告用ディスプレイなどにも活用することができる。

【0131】【実施例9】 上記実施例1~7に示したTFTは、AMLCDに適用した例を示したが、AMLCD以外にも他の様々な電気光学装置や半導体回路に適用できる。

【0132】AMLCD以外の電気光学装置としては、EL(エレクトロルミネッセンス)表示装置やイメージセンサ等を挙げることができる。

【0133】また、半導体回路としては、ICチップで構成されるマイクロプロセッサのような演算処理回路、携帯機器の入出力信号を扱う高周波モジュール(MMIC等)が挙げられる。

【0134】このように、本発明は絶縁ゲート型TFTからなる回路によって機能する全ての半導体装置に対して適用することが可能である。

【0135】

【発明の効果】本発明を利用した半導体装置は、活性層、特にチャネル形成領域と第1のゲート絶縁膜との界面特性を良好なものとすることができるため、電気特性の高い半導体装置を得ることができる。

【0136】また、従来のアルミニウムの単層ゲート配線では、アルミニウム材料の耐熱性が低かったため、450℃程度の加熱処理しか施せなかった。加えて、従来の構成では、450℃程度の加熱処理であってもアルミニウム原子がゲート絶縁膜や活性層に拡散している可能性が大きく、TFT特性の低下やバラツキが生じていた。

【0137】しかし、本発明はゲート配線の第2配線層をバリア型の陽極酸化物と第1配線層とで保護する構造とするため、第2配線層の変形及びAl原子の拡散を防止することができ、ゲート配線形成以後の加熱温度の上限を500~650℃程度に設定することができた。

【0138】従って、ゲート配線形成以後、ソース領域

24

およびドレイン領域における不純物の活性化のための加熱処理、ドーピング工程で損傷した活性層の結晶構造の回復のための加熱処理、リングが添加されたソース領域及びドレイン領域をゲッタリングシンクに利用してチャネル形成領域内の触媒元素濃度を低減させるための加熱処理等を行うことが可能となった。

【0139】加えて、第2配線層からの金属元素の拡散が第1配線層でブロッキングされているため、活性層、特にチャネル形成領域と第1のゲート絶縁膜との界面の不純物濃度を非晶質を有する半導体膜の成膜直後の状態と概略同一の不純物濃度とすることができる。

【図面の簡単な説明】

【図1】 本発明の作製工程の一例を示す断面図(実施の形態)

【図2】 本発明の作製工程の一例を示す断面図(実施の形態)

【図3】 本発明の作製工程の一例を示す断面図(実施の形態)

【図4】 本発明の作製工程の一例を示す断面拡大図(実施の形態)

【図5】 本発明の作製工程の一例を示す上面図及び断面図(実施例1)

【図6】 本発明の作製工程の一例を示す断面図(実施例1)

【図7】 本発明の作製工程の一例を示す断面図(実施例1)

【図8】 本発明の作製工程の一例を示す断面図(実施例1)

【図9】 本発明の作製工程の一例を示す断面図(実施例1)

【図10】 画素マトリクス回路およびCMOS回路の上面図

【図11】 アクティブマトリクス基板の外観図

【図12】 電気機器

【符号の説明】

- | | |
|--------|--------------------|
| 10 | 下地膜 |
| 11 | 触媒元素(Ni)を含む層 |
| 100 | 基板 |
| 101 | 非晶質を有する半導体膜 |
| 102a | 第1のゲート絶縁膜 |
| 102b | 第1のゲート絶縁膜(パターニング後) |
| 102c | 第2のゲート絶縁膜 |
| 103 | 結晶性半導体膜 |
| 104 | 活性層 |
| 105 | 第1の導電膜 |
| 106 | 第2の導電膜 |
| 107a~c | 第2の配線層 |
| 108 | レジスト |
| 109 | ポーラス型の陽極酸化物 |

(14)

特開 2000-58839

25

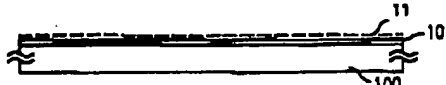
26

110 バリア型の陽極酸化物
111 タンタルオキシド

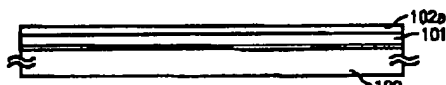
112 タンタル層

【図 1】

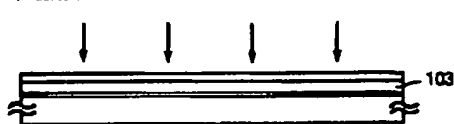
(A) 下地膜成膜、酸堙元素の添加工程



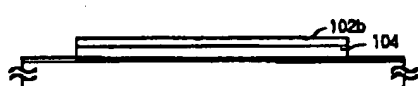
(B) 初期半導体膜101、第1の絶縁膜102aの連続形成工程



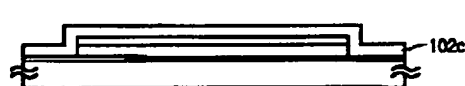
(C) 初期半導体膜101のレーザー結晶化工程



(D) パターニング工程



(E) 第2の絶縁膜102cの形成工程



【図 2】

(A) 第1、第2の導電膜の形成



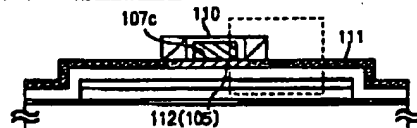
(B) 第2の配線層の形成



(C) 第1の陽極酸化工程



(D) 第2の陽極酸化工程



(E) 第1の配線層の酸化物の除去



【図 6】

(A) 下地膜の成膜、酸堙元素の添加



(B) 初期半導体膜及び第1のゲート絶縁膜の連続成膜



(C) レーザー結晶化工程



(D) パターニング工程



N+拡散型TFT

P+拡散型TFT

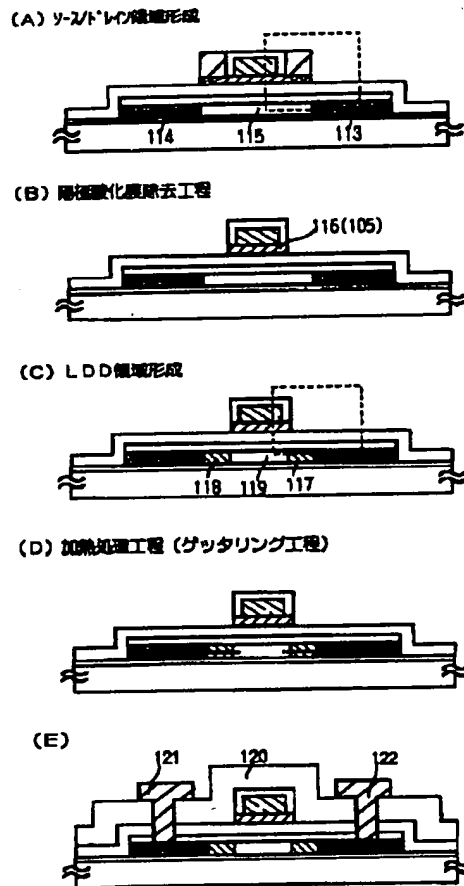
CMOS回路
B-B' 断面

図素マトリクス回路
A-A' 断面

(15)

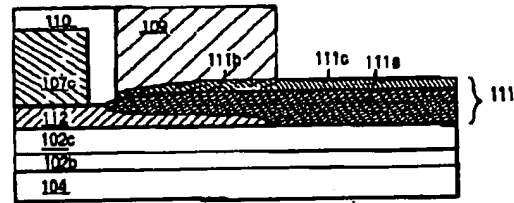
特開2000-58839

【図3】

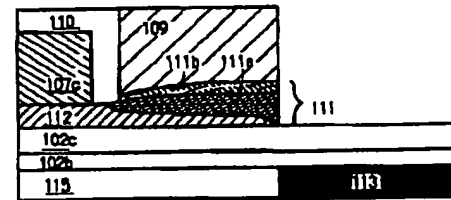


【図4】

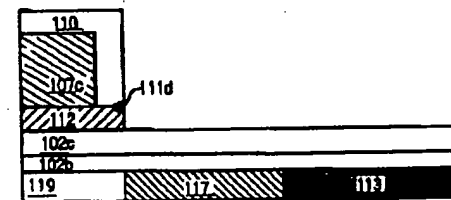
(A) 第2の陽極酸化工程における点線部分で囲まれた領域の拡大図



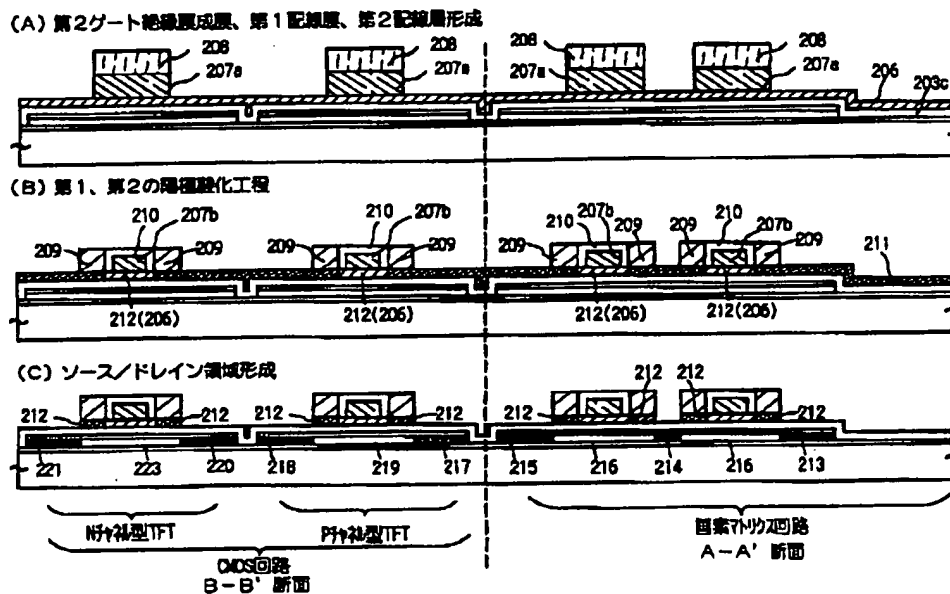
(B) ソース/ドレイン領域形成工程における点線部分で囲まれた領域の拡大図



(C) LDD領域形成工程における点線部分で囲まれた領域の拡大図



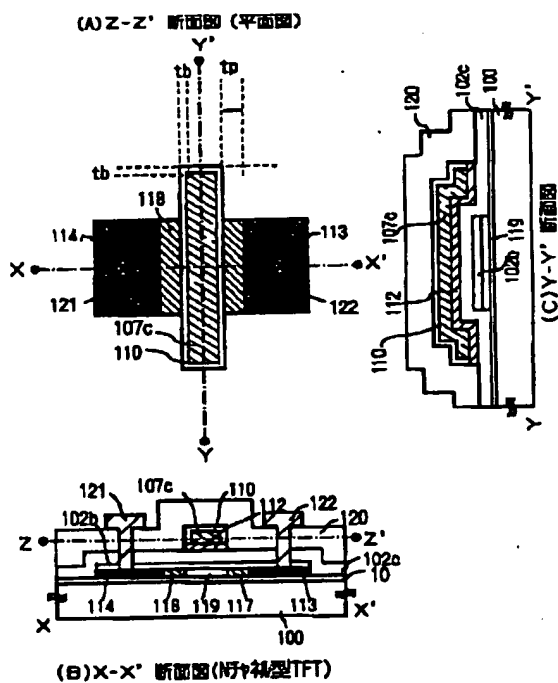
【図7】



(16)

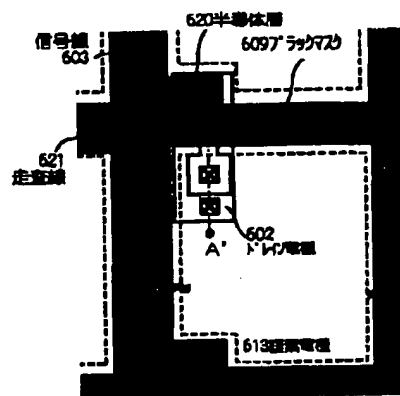
特開 2000-58839

【図 5】

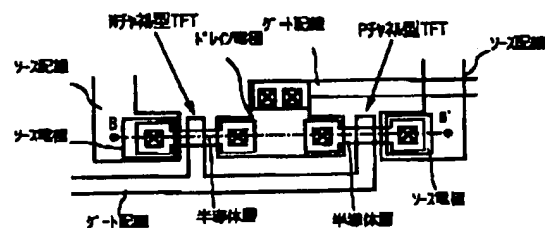


100:ゲート電極、102a:第1のゲート絶縁層、102b:第2のゲート絶縁層
 107c:A1層 (第2のゲート電極)、110:A1層の膜
 112:ゲート電極 (第1のゲート電極)
 114:ゲート電極 (第2のゲート電極)、113:ゲート電極 (第2のゲート電極)
 117, 118:ゲート電極 (第2のゲート電極)
 120:ゲート電極 (第2のゲート電極)、121, 122:ゲート電極

【図 10】

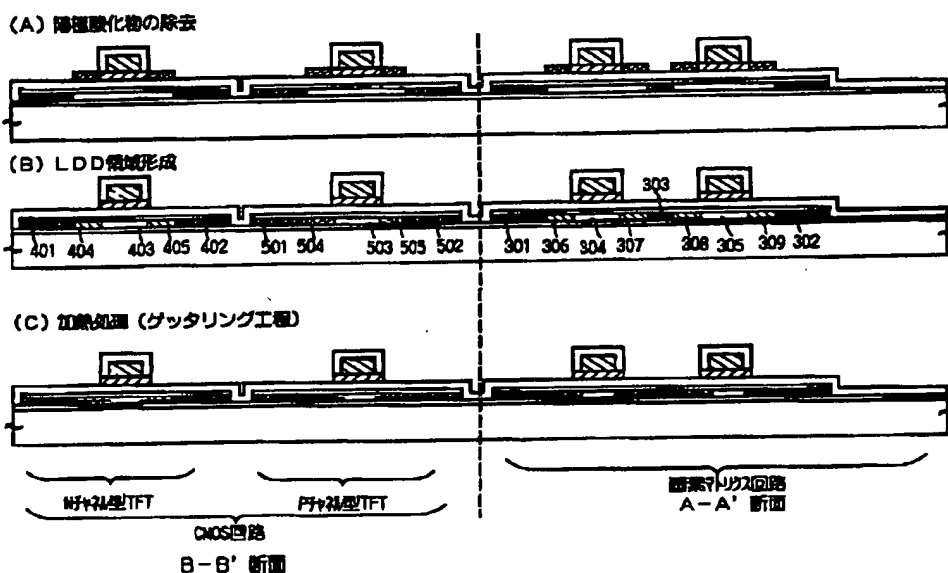


(A) 要素マトリクス回路上面図



(B) CMOS回路上面図

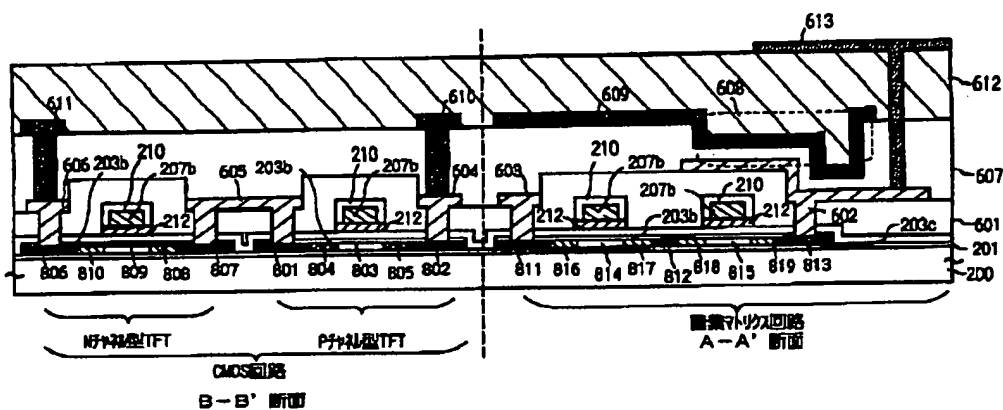
【図 8】



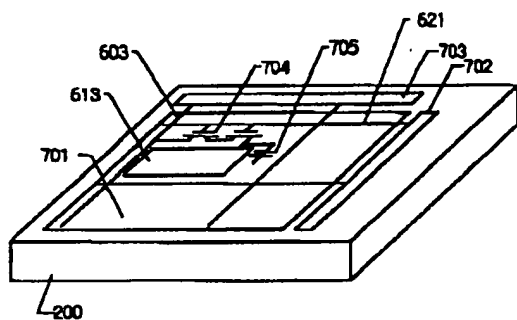
(17)

特開2000-58839

【図9】



【図11】



200: 半導体基板
 701: 画素マトリクス回路
 702: 走査線駆動回路、703: 信号線駆動回路
 704: 画素TFT
 621: 走査線 603: 信号線 613: 画素電極 705: 付加回路

【図12】

